

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-246210

(43)公開日 平成9年(1997)9月19日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/28	301		H 01 L 21/28	301Z
21/306			21/306	F
29/786			29/78	627E
21/336				

審査請求 未請求 請求項の数5 FD (全6頁)

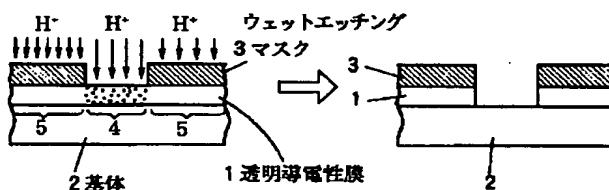
(21)出願番号 特願平8-84672	(71)出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日 平成8年(1996)3月13日	(72)発明者 池田 裕幸 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
	(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 透明導電性膜およびそのパターン形成方法

(57)【要約】

【課題】 透明導電性膜のエッティング性を改善すると共に、サイドエッティングを抑制可能なパターン形成方法を提供する。

【解決手段】 有機又は無機の基体2上に透明導電性膜1を成膜する。所定のパターンに従って透明導電性膜1の上にマスク3を形成する。このマスク3を介して水素イオンを透明導電性膜1に選択的に打ち込む。この結果、水素イオンH⁺が打ち込まれた領域4のみがエッティングレートが高くなり、その他のマスク3により被覆された領域5はエッティングレートが低い状態のままである。この後、ウェットエッティングを行ない、水素イオンが打ち込まれた領域4のみを速やかに除去する。



【特許請求の範囲】

【請求項1】 有機又は無機の基体上に成膜された透明導電性膜であって、成膜後電界を利用して打ち込まれた水素イオンを含有している事を特徴とする透明導電性膜。

【請求項2】 該水素イオンの含有濃度が $1 \times 10^{16}/\text{cm}^3$ 以上で $1 \times 10^{23}/\text{cm}^3$ 以下の範囲に設定されている事を特徴とする請求項1記載の透明導電性膜。

【請求項3】 有機又は無機の基体上もしくは薄膜上に透明導電性膜を成膜する工程と、所定のパターンに従って該透明導電性膜の上にマスクを形成する工程と、該マスクを介して水素イオンを該透明導電性膜に選択的に打ち込む工程と、該水素イオンが打ち込まれた領域のみをエッティングで除去する工程とを行なう透明導電性膜のパターン形成方法。

【請求項4】 エッティングを行なった後、残った透明導電性膜を加熱処理する工程を含む請求項3記載の透明導電性膜のパターン形成方法。

【請求項5】 透明な絶縁基板の上に画素電極駆動用の薄膜トランジスタを形成する工程と、該薄膜トランジスタを少くとも一層の透明な絶縁膜で被膜する工程と、該薄膜トランジスタに通じるコンタクトホールを該絶縁膜に開口した後、該絶縁膜の上に透明導電性膜を成膜する工程と、画素電極のパターンに従って該透明導電性膜の上にマスクを形成する工程と、該マスクを介して水素イオンを該透明導電性膜に打ち込む工程と、該水素イオンが打ち込まれた領域のみをエッティングで除去して該透明導電性膜を画素電極に加工する工程とを行なうアクティブマトリクス表示用半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はITO (Indium Tin Oxide) 等透明導電性膜の膜質を改善する技術に関する。又、透明導電性膜のパターン形成方法に関する。

【0002】

【従来の技術】 透明導電性膜は酸化錫を主体とする所謂ネサ膜を起源とする。その後、電気抵抗を下げる為酸化インジウムが添加され、所謂ITOに発展している。今日では、透明導電性膜はフラットパネルディスプレイの画素電極等として必須の構成要素となっている。その成膜方法は主としてスパッタリング法が採用されている。このスパッタリング法では、酸化インジウムと酸化錫を所定の割合で混合しさらに焼成したものをターゲットと

し、真空容器内でアルゴンおよび酸素の混合ガスを放電させてターゲットに照射する。この結果、ターゲットに對向配置した基板の表面にITOが成膜される。この後、所定のパターンに従って成膜された透明導電性膜をエッティングし、種々の用途に供する。スパッタリング時の基板温度については、加熱を行なうと成膜された透明導電性膜の抵抗が下がる効果がある反面、エッティングがしにくくなる。この為、通常基板を無加熱のままでスパッタリングを行なう場合が多い。透明導電性膜のパターン形成ではドライエッティングとウエットエッティングがある。ドライエッティングでは塩素ガスを主体としたエッティングガスを使用する。一方、ウエットエッティングでは塩酸／硝酸混合系の所謂王水、塩化第2鉄、塩酸、磷酸等のエッティング液を用いる。

【0003】

【発明が解決しようとする課題】 塩素ガス系を用いてドライエッティングを行なうと、放電により塩素が遠紫外領域で強い紫外線を発する為、デバイス等へのダメージが大きい。一方、ウエットエッティングはバッチ処理が可能であり大量処理に適している為量産効果を発揮できる。しかしながら、フラットパネルディスプレイ等に用いられる大型角基板をエッティング処理する場合等には、バッチ処理が困難である為インライン枚葉処理を採用せざるを得ない。この枚葉処理はバッチ処理に比べて量産効果が低く、その分一枚当たりの処理時間を短縮させる必要があり、できるだけエッティングレートの高い透明導電性膜が望まれる。又、ウエットエッティングでは処理後に残渣が残る場合が多く、互いに電気的に孤立させるべきパターン間が短絡してしまうという欠陥が往々にして起きる。この残渣は成膜された透明導電性膜の組成に局所的なばらつきがありエッティングしにくい部分が残る事により生じ短絡欠陥の原因となる。この様にして、適度にエッティングがしやすく且つ残渣の出にくい透明導電性膜が求められている。

【0004】 この様な膜を得る方法として、スパッタリング時にアルゴンや酸素の混合物からなる放電ガスに数%の水素ガスを添加する技術が知られている。場合によっては、水素ガスに代えて微量の水蒸気を添加する事もある。この方法により、水素が成膜された透明導電性膜に導入され膜質を改善でき、ある程度までエッティングのしやすさが向上する。例えば王水を用いなくとも塩酸や磷酸等でエッティングする事が可能になる。しかしながら、水素ガス自身が爆発性を有する為、その添加濃度が4%未満に制限され、スパッタリング時透明導電性膜に導入される水素の膜中濃度に限界が生じ、実用的には膜質の改善が不十分である。さらに、この方法では成膜段階で水素を導入する為、必然的に透明導電性膜の全面が改質され、逆に後工程のパターンニングで不具合が生じる。即ち、フォトレジスト等を塗布し所定の形状にパターンニングした後、これをマスクとしてウエットエッキン

グを行なうと、エッティングがしやすくなる反面パターニングされたフォトレジストの下まで横方向の侵食（サイドエッティング）が生じ、適正なパターニングに支障を来してしまい、所望のパターン精度が得られない。透明導電性膜のエッティングレートおよび膜厚に合せて丁度エッティングが完了する様に（ジャストエッティング）処理時間を設定しても、サイドエッティングが必ず生じる。ジャストエッティングの条件を超えたオーバーエッティングの条件下で処理を行なうとこのサイドエッティングはさらに顕著なものとなる。この従来方法ではフォトレジストにより被覆された透明導電性膜のエッティングレートが高い為、サイドエッティングを防ぐ事が困難になる。

【0005】

【課題を解決するための手段】本発明は以上の問題点に鑑みなされたものであり、エッティングしやすいのみならず膜中の水素濃度を自由に制御でき、さらにウエットエッティングでシャープなパターンを形成する事ができる透明導電性膜およびそのパターン形成方法を提供するものである。本発明にかかる透明導電性膜は有機又は無機の基体上に成膜されており、成膜後電界を利用して打ち込まれた水素イオンを含有している事を特徴とする。好ましくは、該水素イオンの含有濃度が $1 \times 10^{16}/\text{cm}^3$ 以上で $1 \times 10^{23}/\text{cm}^3$ 以下の範囲に設定されている。又、本発明によれば透明導電性膜は以下の工程によりパターン形成される。先ず、有機又は無機の基体上もしくは薄膜上に透明導電性膜を成膜する。次に、所定のパターンに従って該透明導電性膜の上にマスクを形成する。統いて、該マスクを介して水素イオンを該透明導電性膜に選択的に打ち込む。最後に、該水素イオンが打ち込まれた領域のみをエッティングで除去する。好ましくは、エッティングを行なった後残った透明導電性膜を加熱処理する。

【0006】本発明によれば、有機又は無機の基体上又は薄膜上に成膜された透明導電性膜に、電界を利用して水素イオンを打ち込んでいる。これにより、透明導電性膜を成膜後の段階で改質する事ができる。即ち、透明導電性膜に水素イオンを打ち込むと膜の微細構造が変化し、これに応じて膜の化学的な性質が変化する。この結果、透明導電性膜のエッティング速度が向上すると共に、残渣の発生しにくい膜に改質する事ができる。透明導電性膜が局部的にエッティングしにくい部分を含んでいても、水素イオンを打ち込む事でこの部分のエッティングレートが高くなる為残渣が発生しにくくなる。又本発明によれば、透明導電性膜の面内にフォトレジスト等のマスクを介して選択的に水素イオンを打ち込む事で、シャープなエッティングパターンを形成する事が可能になる。マスクから露出した領域に選択に水素を打ち込む事により、エッティングされるべき露出領域が高速にエッティングされる一方、マスクにより被覆された領域は水素イオンが打ち込まれない為エッティングレートは低い今まで

る。この結果、マスクの下に横方向に進行する侵食が生じにくくなりサイドエッティングが抑制できるので、シャープなエッティングパターンを形成する事が可能である。

【0007】

【発明の実施の形態】以下図面を参照して本発明の最良な実施形態を詳細に説明する。図1は本発明にかかる透明導電性膜およびそのパターン形成方法を示す模式図である。図示する様に、本発明にかかる透明導電性膜1は有機又は無機の基体2上に成膜されている。この透明導電性膜1は、成膜後電界を利用して打ち込まれた水素イオン H^+ を含有している事を特徴とする。水素イオン H^+ の膜中含有濃度は $1 \times 10^{16}/\text{cm}^3$ 以上で $1 \times 10^{23}/\text{cm}^3$ 未満の含有濃度では膜中の水素密度が低すぎる為十分な改質効果が得られない。ちなみに、膜中の欠陥準位密度は $1 \times 10^{16}/\text{cm}^3$ 程度と考えられ、この欠陥準位にトラップされる水素の量をある程度超えて水素イオンを導入する必要がある。一方、 $1 \times 10^{23}/\text{cm}^3$ の含有濃度を超えて水素イオンを打ち込む為には処理時間が相当長くなり量産性の許容範囲を超える事になる。

【0008】引き続き図1を参照して本発明にかかる透明導電性膜のパターン形成方法を説明する。先ず有機又は無機の基体2上に透明導電性膜1を全面的に成膜する。基体2としては無機ガラス板や有機プラスチック板が用いられる。場合によっては下地の薄膜（例えば絶縁膜）上に透明導電性膜1を成膜する事もある。成膜方法としては例えばスペッタリングを用いる事ができる。具体的には酸化錫と酸化インジウムの混合物を焼成したターゲットにアルゴンと酸素の混合物からなる放電ガスを照射して基体2上にITOからなる透明導電性膜1を堆積する。次に、所定のパターンに従って透明導電性膜1の上にマスク3を形成する。例えば、フォトレジストを全面的に塗布した後、露光現像を行なう事で所定のパターンのマスク3を形成できる。統いて、このマスク3を介して水素イオン H^+ を透明導電性膜1に選択的に打ち込む。例えば、半導体の不純物注入処理に利用されるイオンドーピング装置を用いて水素イオンを電界加速して打ち込む。あるいは、水素ガスのプラズマ雰囲気中に基体2を曝露して水素イオンを打ち込む様にしても良い。この場合にもプラズマ放電中の電界を利用して水素イオンを打ち込む事になる。水素イオンが選択的に打ち込まれた領域4では透明導電性膜1の膜質が改善されエッティングレートが高くなる。一方、マスク3により被覆された領域5は水素イオンが打ち込まれない為エッティングレートが低いままになっている。最後に、水素イオンが打ち込まれた領域4のみをマスク3を介してエッティングで除去する。これにより、透明導電性膜1のパターンが形成された事になる。エッティング処理としては例えばウエットエッティングを採用でき、エッティング液としては例えば王水を用いる事ができる他、さらにはより穏やか

な塩酸や磷酸を用いる事が可能である。なお、このエッティングを行なった後、残った透明導電性膜1を加熱処理する事で安定化でき、導電率や透過率の経時的な変化を抑制可能とする。以上の様に、本発明では透明導電性膜1に水素イオンH⁺を打ち込む事により化学的性質が変化しエッティング速度が向上すると共に、残渣の発生しにくい膜に改質する事ができる。膜面内のエッティングすべき領域4に対して選択的に水素イオンH⁺を打ち込む事により、領域4が高速にエッティングされる一方、マスク3により被覆された領域5はエッティングされにくくなり、その結果図1の右側に示した様にシャープなエッティングパターンを得る事ができる。

【0009】図2は比較の為従来の透明導電性膜のパターン形成方法を示している。この従来方法では成膜と同時に透明導電性膜1に水素原子が導入されている。従って、マスク3から露出した領域4のみならずマスク3により遮蔽された領域5もエッティングレートが高くなっている。従って、ウエットエッティングを行なった場合侵食が縦方向(膜厚方向)のみならず横方向にも速やかに且つ等方に進行し、ジャストエッティングの条件でもサイドエッチ6が生じる。従って、パターン精度が悪くなる。

【0010】次に、図3を参照して本発明にかかる透明導電性膜のパターン形成方法の好適な実施例を詳細に説明する。本例ではアクティブマトリクス表示用半導体装置の製造過程において透明導電性膜をマトリクス状にパターンングして画素電極を形成している。先ず(A)に示す様に、ガラス等からなる透明基板51上にゲート配線およびゲート電極Gを形成する。その上に酸化珪素又は窒化珪素等からなるゲート絶縁膜52を形成する。さらにその上に多結晶シリコン等からなる半導体薄膜53を形成し、アイランド状にパターンングする。この後、基板51の表面側にフォトレジストを塗布した後、ゲート電極Gをマスクとして裏面側から露光処理を行ない、ゲート電極Gに整合したフォトレジストのパターン54が得られる。このフォトレジストパターン54をマスクとしてイオンドーピング等により不純物(例えばP⁺)を注入し、ソース領域Sおよびドレイン領域Dを形成する。この様にして、多結晶シリコンを活性層としたボトムゲート型の薄膜トランジスタ55が形成される。なお、ボトムゲート型に代えてトップゲート型の薄膜トランジスタを形成しても良い。この薄膜トランジスタは後に形成される画素電極のスイッチング素子となる。

【0011】次に(B)に示す様に、使用済みとなったフォトレジストパターン54を除去した後薄膜トランジスタ55を被覆する様に酸化珪素等からなる層間絶縁膜56を成膜する。この層間絶縁膜56にコンタクトホールを開口した後、その上にアルミニウム等からなる金属膜を成膜する。この金属膜を所定の形状にパターンングして、薄膜トランジスタ55のソース領域Sに電気接続

する信号配線57に加工する。

【0012】続いて(C)に示す様に、薄膜トランジスタ55や信号配線57を被覆する様に平坦化膜58を形成する。この平坦化膜58はアクリル樹脂等の有機薄膜からなりその厚みは例えば1μm程度である。この平坦化膜58および層間絶縁膜56にコンタクトホールを開口した後、透明導電性膜59を全面的に形成する。例えば、DCスペッタリング法によりITOを50nmの厚みで堆積し、透明導電性膜59とする。この時、スペッタリング用に用いる放電ガスはアルゴンと酸素の混合気体とし、アルゴンガスの流量を200sccmとし酸素ガスの流量を5sccmに設定している。又、圧力は7×10⁻³Torrとし900Wの電力でプラズマ放電を起こしスペッタリングを行なっている。なお、基板51は無加熱である。

【0013】この後(D)に示す様に、透明導電性膜59の上にフォトレジストを1.2μmの厚みで塗布する。このフォトレジストを画素電極のパターンに合わせて現像露光してマスク60を形成する。引き続き、この基板51をイオンドーピング装置内に投入し、マスク60を介して水素イオンH⁺を選択的に透明導電性膜59に打ち込む。条件としては、水素ガスを50sccmの流量で真空容器内に導入し、電力200Wでプラズマ化し、グリッド電極を介し5keVの加速電圧で水素イオンを透明導電性膜59に照射する。この時の水素イオンの照射面密度は1×10¹⁵/cm²に設定している。これを体積密度に換算すると2×10²⁰/cm³程度となる。

【0014】最後に(E)に示す様に、マスク60を介して透明導電性膜59をウエットエッティングし、画素電極61に加工する。エッティング液としては室温の王水を用い、オーバーエッティング時間も含めて20秒で透明導電性膜のエッティングが完了し、残渣は全く生じなかった。又、サイドエッティングも殆ど生じなかった。この様にして加工された画素電極61は前述したコンタクトホールを介して薄膜トランジスタ55のドレイン領域Dに電気接続している。この後、250℃で1時間程度の加熱処理(アニール)を行ない、画素電極61を安定化した。この様に、本発明を採用する事により、透明導電性膜のエッティングレートが高くなり画素電極の加工処理時間が大幅に短縮できた。従来、画素電極を構成するITOのエッティング液が層間絶縁膜のピンホール等から滲み込んで下層のアルミニウム等からなる信号配線を侵食し、時に断線に至らしめていた。これが本発明を採用する事で処理時間が大幅短縮化され信号配線の断線等が皆無となった。

【0015】図4は本発明に従ったパターン形成方法におけるエッティング時間とサイドエッチ量との関係を示すグラフである。図3で説明した実施例に示した様に、エッティング時間は20秒で完了し、その時のサイドエッチ量は1.0μm以下である。これに対し、図5は従来のパターン形成方法におけるエッティング時間とサイドエッ

チ量との関係を示すグラフである。なお、この従来例では水素イオンの打ち込みを行なわない場合を表しており、その他の成膜条件やエッティング条件は図3で説明した実施例と同様である。この場合、エッティング完了まで100秒を要し、且つサイドエッチ量は8.0 μmにまで及んで拡大されている。

【0016】図6は、図3で説明した工程により製造された薄膜半導体装置を駆動基板として組み立てられたアクティブマトリクス型液晶表示装置の一例を参考の為に示したものである。図示する様に、液晶表示装置はガラス等からなる駆動基板101と同じくガラス等からなる対向基板102と両者の間に保持された液晶103とで構成されている。駆動基板101には画素アレイ部104と駆動回路部とが集積形成されている。駆動回路部は垂直駆動回路105と水平駆動回路106とに別れている。又、駆動基板101の周辺部上端には外部接続用の端子部107が形成されている。端子部107は配線108を介して垂直駆動回路105および水平駆動回路106に接続している。画素アレイ部104は互いに交差したゲート配線109と信号配線110を備えている。両配線109、110の交差部には画素電極111とこれを駆動する薄膜トランジスタ112とが集積形成されている。一方、対向基板102の内表面には図示しないが対向電極やカラーフィルターが形成されている。

【0017】最後に、図7は水素イオンの打ち込みに用いられるイオンドーピング装置の一例を表している。このイオンドーピング装置は基板サイズに相当する開口部を持つ大型のイオン源であり、プラズマ源151を主体とする。プラズマ源151はマッチングボックス152を介して高周波電源153に接続されている。4枚の多孔電極（第1電極154、第2電極155、抑制電極156、接地電極157）で構成された引き出し・加速電極系によりイオンシャワー158を引き出す。4枚電極構成のイオン源としては1段加速方式と2段加速方式があるが、本例では前者を採用している。この1段加速方式の場合单一の加速電圧でイオンエネルギーを決定できる。又、エネルギーとは独立した引き出し電流の制御でプラズマからのイオンの引き出し状態を調整できる。即ち、この1段加速方式では引き出し電源159、加速電源160、抑制電源161を別々に備えている。図示する様にイオンドーピング装置はイオンインプランテーション装置と異なり加速管や走査部は持たない。必要なエネルギーはイオン源の引き出し／加速電極系で決まる。一方、必要な基板サイズに相当するイオンシャワー158の大きさについては、イオン源の多孔領域を基板サイ

ズに応じたものを使用する。従って、基板サイズの大型化に伴ない、イオン源が大型化する事になる。現状の400×500mm基板対応のイオン源では最外径が1.2mにまでなっている。イオン源用の原料ガスは装置本体と別置きにしたガスボックスからアース電位である注入室に供給される。即ち、イオンドーピング装置はイオンインプランテーション装置に比べて使用ガス量が多く、大型のガスボンベを使用する為別途ガスボックスを設けている。又、安全上アース電位側で独立した安全管理を行なった方が好ましい。加えて、イオン源の大型化に伴ないガス162の流れにつれて引き出し・加速電極系のコンダクタンスが非常に大きく、プラズマ源151と注入室とで圧力差がない。本発明では、このイオンドーピング装置を利用して原料ガスに水素を供給する事で、水素イオンを基板上に成膜された透明導電性膜に打ち込んでいる。

【0018】

【発明の効果】以上説明した様に、本発明によれば、透明導電性膜に電界を利用して水素イオンを打ち込む事で、安全且つ望む通りの濃度で膜中に水素を導入する事ができる。その結果、エッティング性が向上し且つ残渣の発生しにくい透明導電性膜を得る事ができる。さらに、膜面内でエッティングすべき領域に対して選択的に水素を打ち込む事により、非選択領域との間でエッティング速度に大きな差が生じる為、エッティング後サイドエッチの少ないシャープなパターンを形成する事が可能である。さらに、エッティング時間が短縮化される事により、下地へのエッティング液の滲み込みが減少し、信頼性に優れたプロセスを構成する事ができる。

【図面の簡単な説明】

【図1】本発明にかかる透明導電性膜およびそのパターン形成方法を示す模式図である。

【図2】従来のパターン形成方法を示す模式図である。

【図3】本発明にかかるパターン形成方法の一実施例を示す工程図である。

【図4】本発明におけるエッティング時間とサイドエッチ量との関係を示すグラフである。

【図5】従来におけるエッティング時間とサイドエッチ量との関係を示すグラフである。

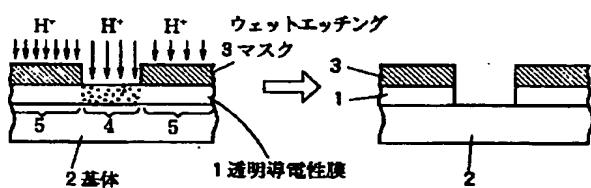
【図6】本発明の一応用例を示す斜視図である。

【図7】本発明にかかるパターン形成方法に用いられるイオンドーピング装置の一例を示す模式図である。

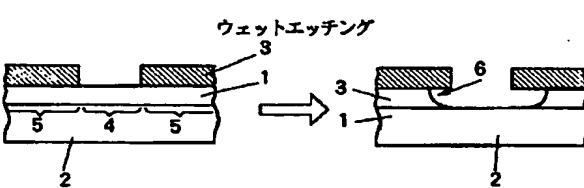
【符号の説明】

1…透明導電性膜、2…基体、3…マスク

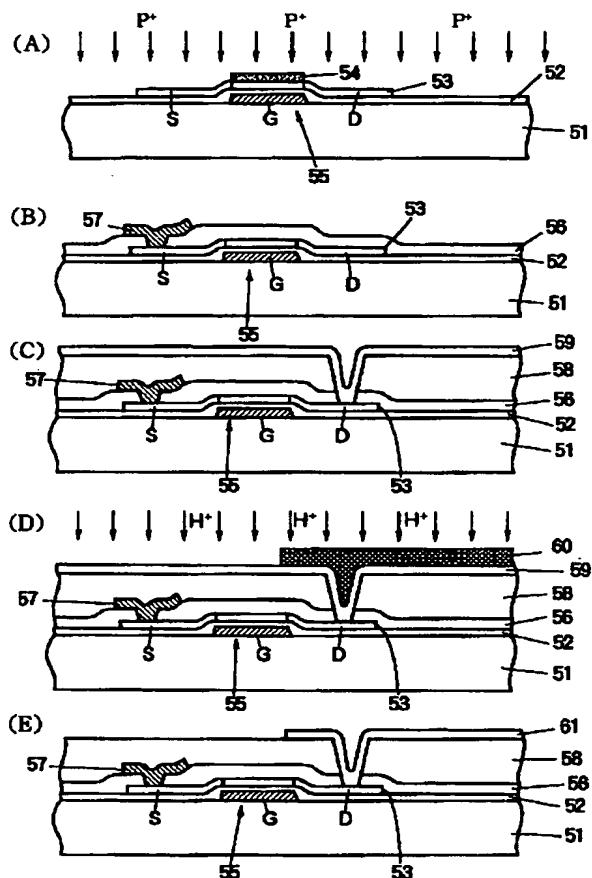
【図1】



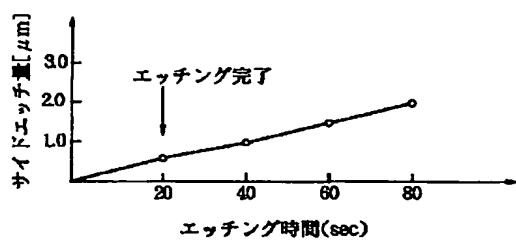
【図2】



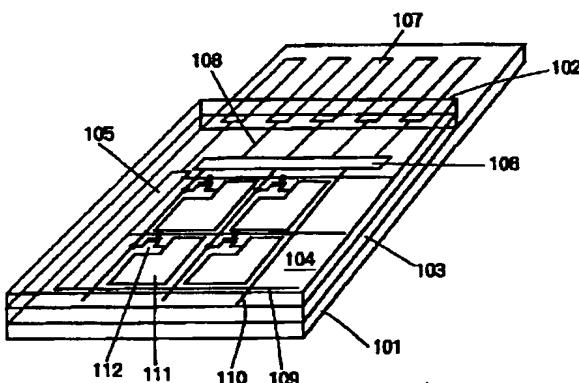
【図3】



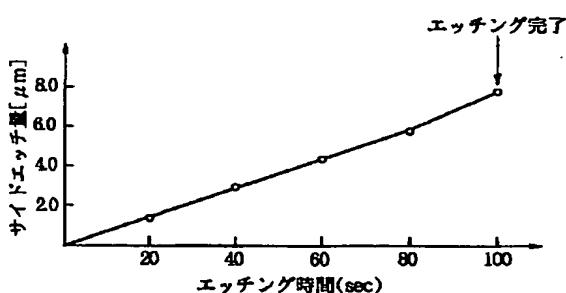
【図4】



【図6】



【図5】



【図7】

